

Développement d'un bloc fonctionnel (PLL) d'un circuit intégré en technologie TSMC018, de la conception à la construction des plans de masques

Description

Les boucles à verrouillage de phase (PLL en anglais pour Phase Locked Loop) sont des circuits intégrés très utilisés en électronique. Elles servent à asservir la phase d'un oscillateur local à une fréquence externe de référence. Les boucles à verrouillage de phase sont au coeur de nombreux matériels électroniques : synthétiseurs de fréquence, récepteurs de télévision, téléphones cellulaires, etc.

La PLL en quelques mots

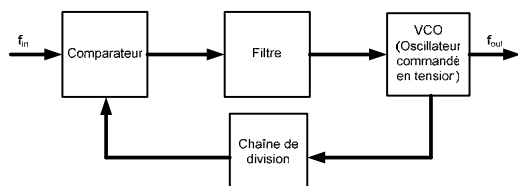


Schéma bloc de la PLL

La PLL est constituée de quatre parties.

1. VCO (oscillateur contrôlé en tension). Partie principale. Détermine la plage de synchronisation de la PLL.
2. Chaîne de division. Divise la fréquence sortant de l'oscillateur afin de permettre la comparaison avec la fréquence de référence.
3. Comparateur (détecteur de phase).
4. Filtre passe-bas de boucle.

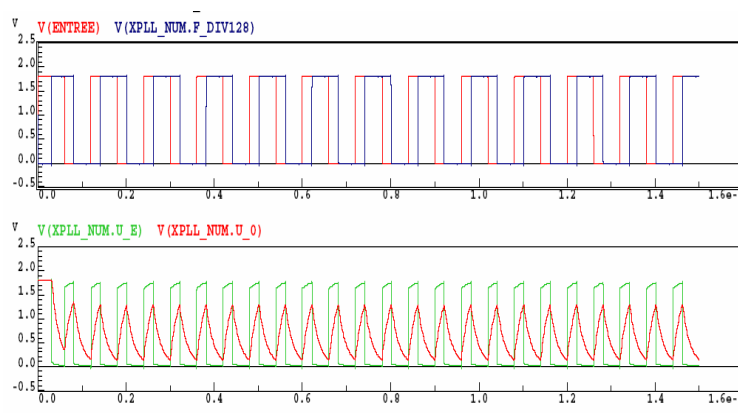
Mandat

L'objectif de ce travail de diplôme consiste à développer et à dimensionner une PLL en technologie TSMC 0.18 [μm] jusqu'à la réalisation des plans de masques.

L'oscillateur interne doit travailler à une fréquence de 100 [MHz] lorsque le signal de référence (f_{in}), de fréquence 1 [MHz] est placé à l'entrée de la PLL. La PLL doit fonctionner dans les spécifications pour une plage de température allant de -40°C à $+85^{\circ}\text{C}$.

Simulations

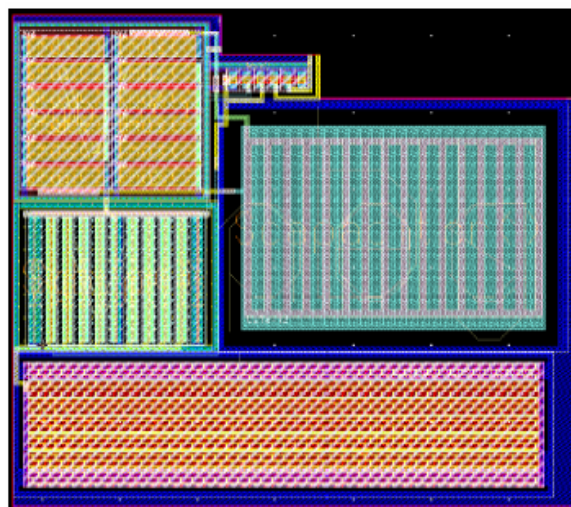
Les simulations ont été réalisées avec le logiciel Mentor Graphics. Ce programme professionnel permet la simulation de systèmes complexes.



Résultat de simulation

Plan de masques

Après avoir validé le dimensionnement du système, la dernière étape est la réalisation des plans de masques.



Plan de masques de la référence de courant de la PLL

Auteur: Vuillemin Florian
Répondant externe: Koller Philippe
Prof. responsable: Salchli François
Sujet proposé par: CeTT-MNT