

Conception et modélisation d'un convertisseur Delta Sigma en VHDL-AMS

VHDL-AMS

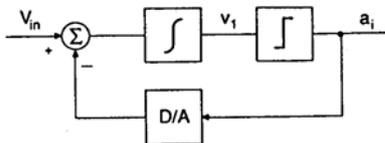
Le langage VHDL-AMS (Very High speed integrated circuit Hardware Description Language – Analog and Mixed Signal) est un standard IEEE pour la modélisation et la simulation de systèmes mixtes analogiques-numériques. Il permet également de simuler des phénomènes physiques.

Dans la partie analogique, le VHDL-AMS permet notamment de respecter la théorie des réseaux de Kirchoff et aussi de modéliser les délais (temps de montée et de descente) des signaux électriques.

Ce travail de diplôme utilise la puissance de ce langage pour modéliser un convertisseur analogique-digital, le convertisseur Sigma Delta.

Sigma Delta

Il s'agit d'un convertisseur analogique-digital utilisant le principe de sur-échantillonnage.



Les quatre blocs principaux du convertisseur sont :

1. le sommateur
2. l'intégrateur
3. le quantificateur 1 bit
4. le convertisseur analogique-digital

Mandat

Le but de ce travail est, dans une première phase, de modéliser et simuler un convertisseur Sigma Delta en VHDL-AMS.

Dans une seconde phase, le convertisseur est conçu et simulé (SPICE) au niveau transistor.

Finalement une comparaison des résultats obtenus est effectuée.

Langage

Voici le code du sommateur à capacités commutées :

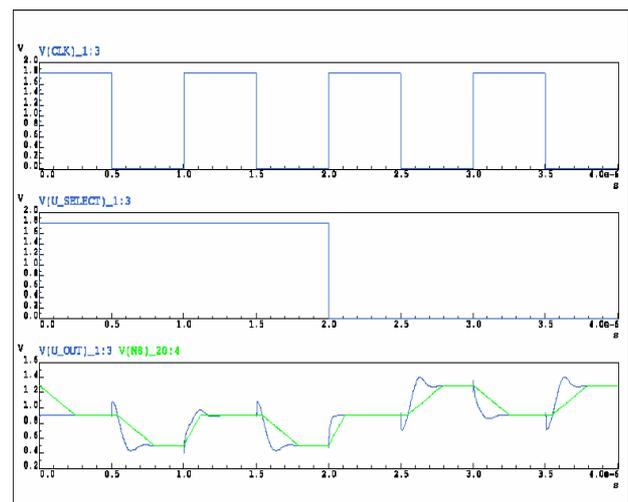
```
begin
  iclk      == 0.5e-3;
  ii_pol    == 0.5e-3;
  ivanagnd  == 0.5e-3;
  iuin      == vuin/100.0e-3;
  iuref     == 0.5e-3;
  icarry    == 0.5e-3;

  if vclk'above(0.9) use
    vout_temp == 0.9;
  else
    if vcarry'above(vvanagnd) use
      vout_temp == vuin - vuref + vvanagnd;
    else
      vout_temp == vuin + vuref + vvanagnd;
    end use;
  end use;

  -- Signal de sortie avec le délai et les pentes de
  -- transitions
  if vclk'above(vvanagnd) use
    vout1 == vout_temp'delayed(Delay)'slew(Pr,Ps);
  else
    vout1 == vout_temp'delayed(Delay_2)'slew(Pr2,Ps2);
  end use;

  iout1 == vuin/100.0e3;
end;
```

Comparaison des simulations



Signal bleu : simulation SPICE (au niveau transistor)

Signal vert : simulation obtenue par la modélisation VHDL-AMS